

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

19 OCT 2004

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
30. Oktober 2003 (30.10.2003)

PCT

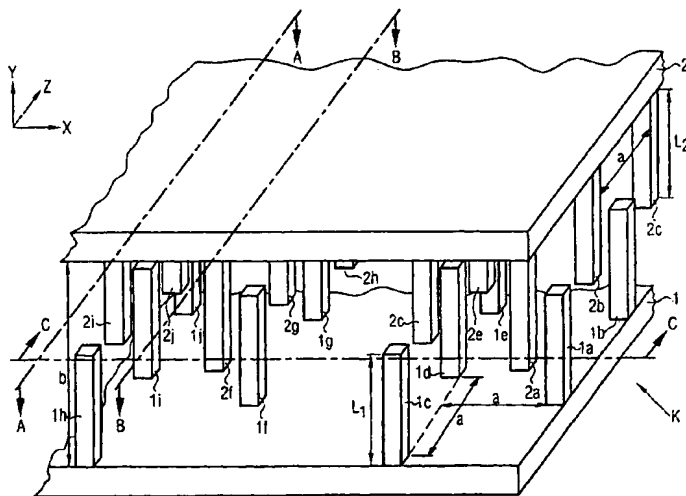
(10) Internationale Veröffentlichungsnummer
WO 03/090280 A1

- (51) Internationale Patentklassifikation⁷: **H01L 23/522** (72) **Erfinder; und**
(75) **Erfinder/Anmelder (nur für US): BENETIK, Thomas**
(21) Internationales Aktenzeichen: **PCT/DE03/00964** [AT/AT]; Waltendorferstr. 126, A-9020 Klagenfurt (AT).
RUDERER, Erwin [DE/DE]; Böhmerwaldstr. 31, 85570
(22) Internationales Anmeldedatum: Markt Schwaben (DE).
24. März 2003 (24.03.2003) (74) **Anwalt: LAMBSDORFF, Matthias**; Patentanwälte
Lambsdorff & Lange, Dingolfinger Strasse 6, 81673
(25) Einreichungssprache: **Deutsch** München (DE).
(26) Veröffentlichungssprache: **Deutsch** (81) **Bestimmungsstaaten (national):** CN, JP, KR, SG, US.
(30) Angaben zur Priorität: 102 17 567.5 19. April 2002 (19.04.2002) DE (84) **Bestimmungsstaaten (regional):** europäisches Patent
(DE, FR, GB, IT).
(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von** Veröffentlicht:
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR COMPONENT HAVING AN INTEGRATED CAPACITANCE STRUCTURE AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: HALBLEITERBAUELEMENT MIT INTEGRIERTER KAPAZITÄTSSTRUKTUR UND VERFAHREN ZU DESSEN HERSTELLUNG



(57) Abstract: The invention relates to a semiconductor element comprising an insulation layer which is formed on a semiconductor substrate and contains a capacitance structure (K). Said capacitance structure (K) comprises at least two parallel metallisation planes (1 to 7) which are respectively connected to an electrical connection line. At least one electroconductive region (1a to 1j; 2a to 2j; 3a to 3f; 4a to 4f; 5a to 5f) is arranged between said metallisation planes (1 to 7) in order to produce a capacitance surface. The electroconductive region (1a to 1j; 2a to 2j; 3a to 3f; 4a to 4f; 5a to 5f) is only electrically connected to one of the metallisation planes (1 to 7).

[Fortsetzung auf der nächsten Seite]

Best Available Copy



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Ein Halbleiterbauelement weist eine auf einem Halbleitersubstrat ausgebildete Isolationsschicht auf, in der eine Kapazitätsstruktur (K) ausgebildet ist. Die Kapazitätsstruktur (K) weist zumindest zwei parallel zueinander angeordnete Metallisierungsebenen (1 bis 7) auf, die jeweils an eine elektrische Anschlussleitung angeschlossen sind. Zwischen den Metallisierungsebenen (1 bis 7) ist mindestens ein elektrisch leitender Bereich (1a bis 1j; 2a bis 2j; 31a bis 36 a; 41a bis 46a; 5a bis 5f) zur Erzeugung einer Kapazitätsoberfläche angeordnet, wobei der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a bis 36 a; 41a bis 46a; 5a bis 5f) nur mit einer der Metallisierungsebenen (1 bis 7) elektrisch verbunden ist.

1

Beschreibung

Halbleiterbauelement mit integrierter Kapazitätsstruktur und Verfahren zu dessen Herstellung

5

Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit einem Halbleitersubstrat auf dem eine Isolationsschicht ausgebildet ist, wobei in der Isolationsschicht eine Kapazitätsstruktur ausgebildet ist. Des weiteren betrifft die
10 Erfindung ein Verfahren zu dessen Herstellung.

In den meisten analogen Schaltungsteilen gemischt digital-analoger Schaltungen werden Kondensatoren mit hohem Kapazitätswert, großer Linearität und hoher Güte benötigt. Um
15 die Kosten der Herstellung des Bauelements möglichst gering zu halten, ist es erforderlich, dass die Herstellung der Kapazitätsstrukturen möglichst wenig Prozessschritte erfordern. Des Weiteren ist mit der fortschreitenden Miniaturisierung der Bauelemente und integrierten Schaltungen
20 auch die Forderung nach möglichst wenig Flächenbedarf für die Kapazitätsstruktur einhergehend. Eine im Stand der Technik bekannte Kapazitätsstruktur ist aus der Patentschrift DE 198 50 915 C1 bekannt. Eine als sogenannte Sandwich-Kapazität ausgebildete Struktur weist zwei auf einem Halbleitersubstrat
25 aufgebrachte und durch eine dielektrische Schicht voneinander getrennte leitende Beläge auf. Der auf der dielektrischen Schicht aufliegende obere Belag ist über mindestens eine leitende Luftbrücke mit mindestens einem von zwei Anschlussleitern der Kapazität verbunden. Parasitäre
30 Induktivitäten der Kapazität werden weitgehend dadurch kompensiert, dass die beiden Anschlussleiter durch mindestens eine, die Kapazität überbrückende, hochohmige Leitung miteinander verbunden sind.

35 Aus der Patentschrift US 5,583,359 ist eine Kapazitätsstruktur für einen integrierten Schaltkreis bekannt. Dort wird eine Mehrzahl an Metallplatten, welche die

Elektroden eines Stapelkondensators bilden, durch dielektrische Schichten getrennt, übereinander angeordnet. In jeder Ebene einer Metallplatte ist eine von der jeweiligen Platte isolierte Metalleitung angeordnet. Die Metalleitungen
5 sind jeweils von beiden Seiten mit Via-Verbindungen kontaktiert, wodurch zum einen alle ungeradzahlig und zum anderen alle geradzahlig in dem Stapel positionierten Platten elektrisch miteinander verbunden werden. Indem die geradzahlig positionierten Platten an eine erste
10 Anschlussleitung und die ungeradzahlig positionierten Platten an eine zweite Anschlussleitung angelegt werden, weisen benachbarte Platten unterschiedliches Potenzial auf und bilden jeweils paarweise Elektroden eines
Plattenkondensators. Die Kapazitätsoberfläche wird somit
15 durch die Plattenoberflächen gebildet. Eine alternative Ausführung der Elektroden ist dadurch gegeben, dass die Platten als streifenförmige Leitungen, die parallel zueinander angeordnet sind, ausgebildet sind.

20 Eine ähnliche Ausbildung einer Kapazitätsstruktur ist aus der Patentschrift US 5,208,725 bekannt. Auf einem Halbleitersubstrat wird eine Mehrzahl erster streifenförmig ausgebildeter Leitungen parallel zueinander angeordnet. Durch eine dielektrische Schicht getrennt, wird deckungsgleich auf
25 diese ersten Leitungen eine Mehrzahl an zweiten Leitungen angeordnet. Indem vertikal und lateral benachbarte Leitungen auf verschiedenem Potenzial liegen, werden sowohl Kapazitäten zwischen übereinander liegenden Leitungen als auch Kapazitäten zwischen benachbarten Leitungen in einer Ebene
30 erzeugt.

Eine weitere Kapazitätsstruktur ist in Aparicio, R. und Hajimiri, A.: Capacity Limits and Matching Properties of Lateral Flux Integrated Capacitors; IEEE Custom Integrated
35 Circuits Conference, San Diego May 6 - 9, 2001, bekannt. Senkrecht angeordnete Stabstrukturen werden symmetrisch zueinander angeordnet. Jeder der Stäbe wird aus

Metallbereichen und Via-Bereichen, die abwechselnd aufeinander angeordnet sind aufgebaut. Die Metallflecken eines Stabes sind auf ein gemeinsames Potenzial gelegt. Metallflecken benachbarter Stäbe weisen unterschiedliches

5 Potenzial auf. Die Via-Bereiche kontaktieren jeweils zwei benachbarte Metallbereiche eines Stabes. Die Kapazitätsdichte ist durch die minimale Größe der Metallbereiche in den Stäben begrenzt. Die Größe dieser Metallbereiche ist jedoch deutlich größer als die Größe der Via-Bereiche in den Stäben, was

10 daran liegt, dass an Masken für die Herstellung der Metallbereiche andere Anforderungen gestellt werden als an Masken mit denen die Via-Bereiche hergestellt werden. Aufgrund der erforderlichen Mindestgröße der Metallbereiche weisen die Stäbe ebenfalls eine Mindestgröße auf, wodurch die

15 Kapazitätsdichte in dieser Kapazitätsstruktur im Hinblick auf die Miniaturisierung der Bauelemente und der Reduzierung des benötigten Platzbedarfs der Kapazitätsstruktur beschränkt ist.

20 Ein Nachteil bei eigens einem Halbleiterbauelement prozessierten Kapazitätsstrukturen - wie dies in gegenwärtigen Prozessen oftmals der Fall ist -, ist deren aufwändige Herstellung. Insbesondere wenn eine derartige Kapazitätsstruktur als Plattenkondensator aus zwei

25 zusätzlichen Metallisierungslagen, welche in dem Bauelement oder der Schaltung keine weitere Verwendung haben, ausgebildet ist, ist die Herstellung schwieriger und kostenintensiver. Weiterhin ist es besonders bei den Sandwich-Kapazitätsstrukturen nachteilig, dass sie die von

30 ihnen auf dem Chip beanspruchte Fläche nur sehr ineffizient ausnutzen und gemessen an der benötigten Fläche einen relativ geringen Kapazitätswert zur Nutzkapazität liefern und damit zusammenhängend einen relativ hohen parasitären Kapazitätsanteil zum Halbleitersubstrat aufweisen. Aufgrund

35 dieses relativ hohen parasitären Kapazitätsanteils ist die Nutzkapazität der Sandwich-Kapazitäten nur beschränkt zu vergrößern.

Es ist daher Aufgabe der vorliegenden Erfindung, ein Halbleiterbauelement mit einer integrierten Kapazitätsstruktur und ein Verfahren zu dessen Herstellung zu schaffen, welches einfach erzeugt werden kann und mit dem das Verhältnis von Nutzkapazität zu parasitärer Kapazität verbessert werden kann.

Diese Aufgabe wird durch ein Halbleiterbauelement, welches die Merkmale des Patentanspruchs 1 aufweist, sowie durch ein Verfahren das die Schritte nach Patentanspruch 17 aufweist, gelöst.

Ein Halbleiterbauelement weist ein Halbleitersubstrat auf, auf dem ein Schichtensystem aus einer oder mehreren Isolationsschichten angeordnet ist. In dieser Isolationsschicht oder in diesem Isolationsschichten-System ist eine Kapazitätsstruktur ausgebildet. Ein erster Teil einer Kapazitätsoberfläche der Kapazitätsstruktur wird durch Teile der Oberflächen von mindestens zwei Metallisierungsebenen gebildet. Die Metallisierungsebenen sind parallel zueinander und parallel zum Halbleitersubstrat angeordnet und sind jeweils mit einer Anschlussleitung elektrisch verbunden.

Ein wesentlicher Gedanke der Erfindung liegt darin, dass die Kapazitätsstruktur mindestens einen elektrisch leitenden Bereich aufweist, welcher zwischen den Metallisierungsebenen angeordnet ist und in dem Isolationsschichten-System ausgebildet ist. Neben dem ersten Kapazitätsoberflächenbereich weist die Kapazitätstruktur dadurch einen zweiten Kapazitätsoberflächenbereich auf, durch den die gesamte Kapazitätsoberfläche vergrößert ist. Dieser elektrisch leitende Bereich ist nur mit einer der Metallisierungsebenen elektrisch verbunden.

- Dadurch kann eine Kapazitätsstruktur ausgebildet werden, die mit relativ einfach hergestellt werden kann und des Weiteren das Verhältnis von Nutzkapazität der Kapazitätsstruktur zur parasitären Kapazität verbessert. Ein weiterer Vorteil ist
- 5 dadurch gegeben, dass durch die Anordnung des elektrisch leitenden Bereichs der horizontale Flächenbedarf der gesamten Kapazitätsstruktur nahezu nicht vergrößert wird und dadurch auch das Verhältnis von Nutzkapazität zu benötigter Chipfläche wesentlich verbessert wird.
- 10 Eine vorteilhafte Ausgestaltung der Erfindung sieht vor, den elektrisch leitenden Bereich als homogene, zusammenhängende Erhebung auszubilden. Besonders vorteilhaft ist es, wenn die elektrisch leitenden Bereiche keine derartigen metallischen
- 15 Gebiete aufweisen, die durch Strukturierung der Metallisierungsebenen erzeugt werden. Dadurch sind die elektrischen Bereiche ohne Zwischenmetallisierungsbereiche - die aus der Strukturierung der Metallisierungsebenen erzeugt werden - ausgebildet. Insbesondere eine homogene Via-Struktur
- 20 zeichnet sich als besonders vorteilhaft aus. Diese Struktur der Vias ermöglicht besonders im Vergleich zur bekannten Kapazitätsstruktur in Aparicio, R. und Hajimiri, A.: Capacitiy Limits and Matching Properties of Lateral Flux Integrated Capacitors; IEEE Custom Integrated Circuits
- 25 Conference, San Diego May 6 - 9, 2001, die Realisierung einer wesentlich kleineren Struktur als die dort offenbarte gestapelte Struktur aus Zwischenmetallisierungs- und Via-Bereichen. Besonders in einem sogenannten Dual-Damascene-Prozess können in einem Prozessschritt homogene Vias
- 30 ausgebildet werden, wodurch diese Strukturen mit hoher Dichte aneinandergereiht werden können und die Kapazitätsoberfläche der Elektroden bei nahezu gleichbleibendem horizontalen Flächenbedarf wesentlich vergrößert werden kann. Beim Dual-Damascene werden dabei nicht mehrere (übereinanderliegende)
- 35 Vias gleichzeitig gefertigt, sondern jeweils gleichzeitig eine Via-Metall-Lage. Bei modernen Dual-Damascene-Prozessen werden Loch- bzw. Grabenstrukturen der zu fertigenden Vias

und der Metallbahnen nacheinander geätzt und nachfolgend gleichzeitig mit einem Metall, bspw. Kupfer, aufgefüllt. Die Strukturierung insbesondere der dielektrischen Schicht einer Kapazitätsstruktur, zur Erzeugung der Vias, welche komplett durch die dielektrische Schicht hindurchreichen, kann durch einen Lithographieschritt (Via-Lithographie) hergestellt werden. Durch einen nachfolgenden Via-Ätzschritt wird die erwünschte Via-Struktur in die dielektrische Schicht geätzt. Im Vergleich zu Prozessen, bei denen die durch die dielektrische Schicht hindurchreichenden Vias durch eine Via- und eine Metall-Masken-Ätzung (welche zur Erzeugung von Grabenbereichen für Metallbahnen verwendet wird) erzeugt werden, kann dadurch einerseits eine größerer Genauigkeit der Kapazität erreicht werden, da Ungenauigkeiten in der Justage von Metall-Masken in diesem Fall die Ausbildung der Kapazität nicht beeinflussen. Des Weiteren ist es mit Metall-Masken, welche für Linienformen ausgelegt sind, nicht möglich gleichzeitig punktartige Strukturen zu erzeugen. Dies ist deshalb der Fall, da Masken, welche zur Erzeugung punktartiger Strukturen ausgelegt sind, für die Lochebenen aufgrund der zweidimensionalen Beugungseffekte eine wesentlich höhere Belichtungsintensität benötigen, um eine entsprechende Struktur auszubilden, wodurch Lochmasken eine fest vorgegebene Lochgröße haben. Für die Erzeugung der punktartigen Strukturen würde eine zusätzliche Miteinbeziehung von Metall-linienförmigen Löchern (Langlöchern) bedeuten, dass nur in einer Dimension minimale Abstände zur Erzeugung der Kapazität vorteilhaft genutzt werden können. Wie in der Erfindung vorteilhaft ausgeführt, können durch Vermeidung der Ausbildung von Langlöchern ausschließlich Vias erzeugt werden, die in beiden Dimensionen minimale Abstände aufweisen und welche für alternierende Kondensatorflächen verwendet werden können.

Weiterhin ist es vorteilhaft, den elektrisch leitenden Bereich im wesentlichen senkrecht zu den Metallisierungsebenen anzuordnen. Dadurch kann die Oberfläche

des elektrisch leitenden Bereichs möglichst groß gestaltet werden und dadurch ein möglichst großer Beitrag zur Nutzkapazität erzielt werden.

- 5 In einem bevorzugten Ausführungsbeispiel sind die beiden
Metallisierungsebenen jeweils als homogene Platten
ausgebildet. Jeder der beiden Platten ist mit zumindest einem
elektrisch leitenden Bereich elektrisch verbunden. Es kann
vorgesehen sein, die elektrisch leitenden Bereiche als
10 stabförmig auszubilden. Weiterhin kann vorgesehen sein, eine
Mehrzahl an ersten stabförmig ausgebildeten Bereichen an der
ersten Metallisierungsebene anzuordnen, die sich in Richtung
zur zweiten Metallisierungsebene hin erstrecken. Die Stäbe
sind mit einem im wesentlichen festen Abstand zueinander an
15 der ersten Metallisierungsebene angeordnet. Eine Mehrzahl an
zweiten stabförmig ausgebildeten Bereiche ist ebenfalls mit
einem im wesentlichen festen Abstand zueinander an der
zweiten Metallisierungsebene angeordnet. Vorteilhafter Weise
erstrecken sich diese zweiten stabförmig ausgebildeten
20 elektrisch leitenden Bereiche zwischen den ersten
stabförmigen Bereichen in Richtung zur ersten
Metallisierungsebene. Die elektrisch leitenden Bereiche der
beiden Metallisierungsebenen sind somit versetzt zueinander
angeordnet, wodurch in vertikaler Richtung betrachtet stets
25 ein erster elektrisch leitender, stabförmiger Bereich der
Oberfläche der zweiten Metallisierungsebene gegenüberliegt
und ein zweiter elektrisch leitender, stabförmiger Bereich
der Oberfläche der zweiten Metallisierungsebene
gegenüberliegt.
30
- Besonders vorteilhaft ist es, die ersten stabförmigen
Bereiche mit einer ersten Länge L_1 und die zweiten
stabförmigen Bereiche mit einer Länge L_2 auszubilden, wobei
die Summe der Längen L_1 und L_2 größer als der Abstand, den die
35 beiden Metallisierungsebenen zueinander aufweisen, ist.
Dadurch werden die ersten und die zweiten stabförmigen
Bereiche quasi miteinander verzahnt. Dadurch stehen sich

Bereiche der Seitenflächen der ersten stabförmigen Bereiche und Bereiche der Seitenfläche der zweiten stabförmigen Bereiche gegenüber, wodurch ein zusätzlicher Anteil zur gesamten Kapazitätsoberfläche erzeugt wird und die
5 Nutzkapazität erhöht werden kann.

In einem weiteren vorteilhaften Ausführungsbeispiel weist die Kapazitätsstruktur zwei Metallisierungsebenen auf, die beide aus mehreren parallel zueinander angeordneten Leitungen
10 bestehen. Die Leitungen, welche die erste Metallisierungsebene bilden, sind deckungsgleich zu den Leitungen, welche die zweite Metallisierungsebene bilden, angeordnet. Es kann vorgesehen sein, auf jeder der Leitungen einen elektrisch leitenden Bereich anzuordnen. Vorteilhaft
15 ist es, die elektrisch leitenden Bereiche stabförmig auszubilden und so auf den Leitungen anzuordnen, dass sie sich jeweils in Richtung der deckungsgleich gegenüberliegenden Leitung der anderen Metallisierungsebene hin erstrecken. Bevorzugt ist es, auf jeder der ersten
20 Leitungen jeweils im wesentlichen festen Abstand zueinander mehrere stabförmig ausgebildete elektrisch leitenden Bereich anzuordnen. Auf den zweiten Leitungen werden ebenfalls jeweils mehrere stabförmig ausgebildete Bereiche mit einem im wesentlichen festen Abstand zueinander
25 angeordnet. Die stabförmigen Bereiche der zweiten Leitungen werden auch hier so angeordnet, dass sie sich zwischen den stabförmigen Bereichen der ersten Leitungen in Richtung zu den ersten Leitungen hin erstrecken. Ebenso kann auch in dieser Ausführung eine quasi verzahnte Struktur der ersten
30 und zweiten stabförmigen Bereiche der ersten bzw. der zweiten Leitungen erreicht werden, wenn die Längenverhältnisse L_1 und L_2 entsprechend der oben erläuterten ersten Ausführung gewählt werden. Dadurch können die gleichen Vorteile erzielt werden.

35

Ein weitere bevorzugte Ausführungsform kennzeichnet sich durch zwei Metallisierungsebenen, von denen die erste als

homogenen Platte und die zweite als gitterähnliche Struktur ausgebildet ist. Zumindest ein stabförmig ausgebildeter, elektrisch leitender Bereich ist auf der als homogene Platte ausgebildeten ersten Metallisierungsebene derart angebracht, 5 dass er sich in Richtung der Gitterebene erstreckt. Besonders vorteilhaft ist es, wenn sich der stabförmige Bereich zumindest teilweise in eine der Aussparungen der Gitterstruktur der zweiten Metallisierungsebene hinein erstreckt. Dadurch kann die Kapazitätsoberfläche erhöht 10 werden und der Anteil der Nutzkapazität vergrößert werden.

In einem weiteren Ausführungsbeispiel ist zusätzlich zu den beiden Metallisierungsebenen der vorhergehenden Ausführungsform eine dritte Metallisierungsebene vorhanden, 15 welche ebenfalls in Form eines Gitters ausgeführt ist und parallel und beabstandet zur ersten Gitterebene auf dieser angeordnet ist. Die beiden Gitterebenen sind mittels elektrischer Verbindungen miteinander kontaktiert. Der zumindest eine stabförmige elektrisch leitende Bereich ist 20 derart ausgebildet, dass er durch eine Aussparung der ersten Gitterebene hindurch ragt und sich zumindest teilweise in eine Aussparung der zweiten Gitterebene bzw. der dritten Metallisierungsebene hinein erstreckt. Dadurch kann eine weitere Vergrößerung der Kapazitätsoberfläche und der 25 Nutzkapazität erreicht werden. Der Flächenbedarf der Kapazitätsstruktur kann dabei nahezu gleich gehalten werden.

Ein weiterer Aspekt der Erfindung betrachtet ein Verfahren zum Herstellen eines Halbleiterbauelements mit einer 30 integrierten Kapazitätsstruktur. Die Kapazitätsstruktur wird in einer Isolationsschicht ausgebildet, wobei die Isolationsschicht auf einem Halbleitersubstrat abgeschieden wird. Ein wesentlicher Gedanke ist es, dass zwischen zumindest zwei Metallisierungsebenen, welche die 35 Kapazitätsstruktur aufweist, ein elektrisch leitender Bereich in der Isolationsschicht ausgebildet wird, der nur mit einer der beiden Metallisierungsebenen verbunden wird.

Vorteilhaft ist es, dass der elektrisch leitende Bereich als
homogene zusammenhängende Erhebung ausgebildet wird, wobei
der elektrisch leitende Bereich ohne ein derartiges
5 metallisches Gebiet ausgebildet wird, welches durch eine
Strukturierung einer Metallisierungsebene erzeugbar ist.

Besonders bevorzugt wird der elektrisch leitende Bereich als
Via-Struktur ausgebildet.

10

Das Ausbilden des elektrisch leitenden Bereichs oder der
elektrisch leitenden Bereiche als Via-Struktur kann derart
durchgeführt werden, dass das Ätzen der Löcher in die
Isolationsschicht, aus denen durch nachfolgendes Auffüllen
15 mit einem leitenden Material, bspw. Kupfer oder Wolfram, die
Vias erzeugt werden, durch einen Ätzschritt durchgeführt
wird. Indem die Löcher ohne eine Kombination aus einem
derartigen Ätzschritt und einen Ätzschritt zur Erzeugung von
Metallbahnen - deren Bereiche vorab durch Metallmasken
20 definiert werden - erzeugt werden, kann eine hohe
Kapazitätsdichte der Kapazitätsstruktur erreicht werden.

Vorteilhafte Ausgestaltungen sind in den Unteransprüchen
Angegeben.

25

Anhand der folgenden schematischen Zeichnungen werden
mehrerer Ausführungsbeispiele der Erfindung näher erläutert.
Es zeigen:

- 30 Fig. 1 eine perspektivische Darstellung eines ersten
Ausführungsbeispiels eines erfindungsgemäßen
Halbleiterbauelements;
Fig. 2 eine erste Schnittdarstellung des
Ausführungsbeispiels gemäß Fig. 1;
35 Fig. 3 eine zweite Schnittdarstellung des
Ausführungsbeispiels gemäß Fig. 1

11

- Fig. 4 eine dritte Schnittdarstellung des Ausführungsbeispiels gemäß Fig. 1;
- Fig. 5 eine perspektivische Darstellung eines zweiten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements;
- Fig. 6 eine erste Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;
- Fig. 7 eine zweite Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;
- Fig. 8 eine dritte Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;
- Fig. 9 eine vierte Schnittdarstellung des zweiten Ausführungsbeispiels gemäß Fig. 5;
- Fig. 10 eine perspektivische Darstellung eines dritten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements;
- Fig. 11 eine erste Schnittdarstellung des dritten Ausführungsbeispiels gemäß Fig. 10;
- Fig. 12 eine zweite Schnittdarstellung des dritten Ausführungsbeispiels gemäß Fig. 10;
- Fig. 13 eine perspektivische Darstellung eines vierten Ausführungsbeispiels des erfindungsgemäßen Halbleiterbauelements; und
- Fig. 14 eine Schnittdarstellung des vierten Ausführungsbeispiels gemäß Fig. 13;

In einem ersten Ausführungsbeispiel weist ein erfindungsgemäßes Halbleiterbauelement (Fig. 1) ein nicht dargestelltes Halbleitersubstrat auf, auf dem eine nicht dargestellte Isolationsschicht aufgebracht ist. Die Isolationsschicht kann auch aus mehreren Schichten bestehen. In dieser Isolationsschicht ist eine Kapazitätsstruktur K integriert. Die Kapazitätsstruktur K weist eine erste Metallisierungsebene 1 auf, die im Ausführungsbeispiel als homogene Platte ausgeführt ist. Parallel dazu ist eine zweite Metallisierungsebene 2 ausgebildet, welche ebenfalls als homogene, zusammenhängende Platte ausgebildet ist. Die

12

erste Metallisierungsebene 1 ist an eine nicht dargestellte erste Anschlussleitung und die zweite Metallisierungsebene ist an eine nicht dargestellte zweite Anschlussleitung angelegt, wodurch die beiden Metallisierungsebenen 1 und 2 unterschiedliches elektrisches Potenzial aufweisen und Elektroden bilden. Auf der ersten Platte 1 sind mehrere stabförmig ausgebildete, elektrisch leitende Bereiche 1a bis 1j senkrecht zur Platte 1 angeordnet. Die stabförmigen Bereiche 1a bis 1j sind unmittelbar mit der Platte 1 elektrisch verbunden und als homogene, zusammenhängende Vias mit einer einheitlichen Länge L_1 ausgebildet. Die Stäbe 1a bis 1j sind in Richtung zur zweiten Metallisierungsebene 2 ausgerichtet und weisen keine elektrische Verbindung zu dieser auf.

In z-Richtung sind die Stäbe 1a und 1b, die Stäbe 1c, 1d und 1e, die Stäbe 1f und 1g sowie die Stäbe 1h, 1i und 1j jeweils mit einem Abstand a zueinander angeordnet. Die Stäbe 1a, 1b, 1f und 1g sind darüber hinaus um jeweils $a/2$ in z-Richtung gegenüber den Stäben 1c, 1d, 1e, 1h, 1i und 1j verschoben, so dass in x-Richtung die Stäbe 1f und 1h, die Stäbe 1a und 1f, die Stäbe 1d und 1i, die Stäbe 1b und 1g und die Stäbe 1e und 1j jeweils auf einer Linie liegen.

Ebenso sind an der Platte 2 zweite elektrisch leitende Bereiche 2a bis 2j als homogene Stäbe ausgebildet, die alle eine Länge L_2 aufweisen. Die Stäbe 2a bis 2j werden ebenso mit dem Abstand a auf der Platte 2 angeordnet, werden jedoch derartig auf der Platte 2 positioniert, dass sie sich zwischen den Stäben 1a bis 1j in Richtung der ersten Metallisierungsebene 1 erstrecken. So liegen beispielsweise die Stäbe 2a, 2b und 2c an der gleichen x-Position wie die Stäbe 1a und 1b, sind jedoch in z-Richtung gegeneinander verschoben. Selbiges gilt für die anderen Stäbe 1c bis 1j und 2d bis 2j.

13

- Die Längen L_1 und L_2 der Stäbe 1a bis 2j werden so gewählt, dass sie kleiner sind als der Abstand b der beiden Metallisierungsebenen 1 und 2 zueinander aber die Summe von L_1 und L_2 größer als der Abstand b , den die
- 5 Metallisierungsebenen 1 und 2 zueinander aufweisen, ist. Dadurch wird erreicht, dass sich Seitenflächenbereiche benachbarter Stäbe, beispielsweise von 1a und 2a, gegenüberliegen und aufgrund des unterschiedlichen elektrischen Potentials, das diese benachbarten Stäbe
- 10 aufweisen eine Kapazitätsoberfläche geschaffen wird, deren Kapazität einen Anteil zur Nutzkapazität beiträgt.
- Es kann auch vorgesehen sein, dass die Stäbe 1a bis 1j und die Stäbe 2a bis 2j unterschiedliche Längen aufweisen.
- 15 Wesentlich ist jedoch, dass die Summen der Längen von benachbarten Stäben der ersten und der zweiten Metallisierungsebene jeweils größer ist als der Abstand b der Metallisierungsebenen. Somit ist gewährleistet, dass sich stets Oberflächenbereiche der Seitenflächen der Stäbe 1a bis
- 20 1 j der ersten Metallisierungsebene 1 und Oberflächenbereiche der Seitenfläche der jeweils benachbarten Stäbe 2a bis 2j der zweiten Metallisierungsebene 2 gegenüberliegen und dadurch eine Kapazitätsoberfläche geschaffen wird, die einen Beitrag zur Nutzkapazität liefert. In dem Ausführungsbeispiel weist
- 25 die dem Halbleitersubstrat fernere Platte 2 mit den Stäben 1a bis 1j eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat auf.
- In Fig. 2 ist ein Querschnitt entlang der Linie BB gemäß Fig. 1 dargestellt. Die Platten 1 und 2 weisen die Stäbe 1f und 1g bzw. 2f bis 2h auf, die jeweils den Abstand a zueinander aufweisen. In der Querschnittsdarstellung ist die quasi verzahnte Struktur der zueinander versetzten Stäbe 1f und 1g sowie der Stäbe 2f bis 2h zu erkennen. Erste
- 30 Kapazitätsanteile C_1 als Beitrag zur gesamten Nutzkapazität der Kapazitätsstruktur K (Fig. 1) werden jeweils zwischen den homogenen, als Via-Strukturen ausgebildeten Stäben 1f, 1g und
- 35

14

2f bis 2h erzeugt. Zweite Kapazitätsanteile C_2 als Beitrag zur gesamten Nutzkapazität werden zwischen den Stäben 1f und 1g und der Platte 1 sowie zwischen den Stäben 2f bis 2h und der Platte 2 erzeugt. Ein weiterer Kapazitätsanteil C_3 als Beitrag zur Nutzkapazität wird durch die Platte 1 und die Platte 2 erzeugt.

In Fig. 3 ist eine Querschnittsdarstellung der Kapazitätsstruktur K gemäß Fig. 1 entlang der Linie AA aufgezeigt. Die Erzeugung der Beiträge der Kapazitätsanteile C_1 , C_2 und C_3 entsprechen den Ausführungen zu Fig. 2.

Eine weitere Schnittdarstellung entlang der Schnittlinie CC in Fig. 1 ist in Fig. 4 dargestellt. In dieser Darstellung ist die symmetrische Anordnung der Stäbe 1a bis 1j und der Stäbe 2a bis 2j an den Platten 1 und 2 zu erkennen. Jeder Stab 1a bis 1j ist zumindest zu zwei Stäben 2a bis 2j benachbart (ebenso ist jeder Stab 2a bis 2j zu mindestens zwei Stäben 1a bis 1j benachbart), wodurch jeweils die hier nicht dargestellten Kapazitätsanteile C_1 erzeugt werden.

Ein weiteres Ausführungsbeispiel ist in Fig. 5 dargestellt. Die Kapazitätsstruktur K ist ebenso wie im ersten Ausführungsbeispiel in einer nicht dargestellten Isolationsschicht oder einem aus mehreren Schichten bestehenden Isolationsschichten-System ausgebildet, wobei die Isolationsschicht auf einem nicht dargestellten Halbleitersubstrat abgeordnet ist. Die Metallisierungsebenen 3 und 4 sind jeweils aus mehreren parallel zueinander angeordneten Leitungen 31 bis 36 und 41 bis 46 gebildet, wobei die Leitungen 31 bis 36 jeweils deckungsgleich zu den Leitungen 41 bis 46 angeordnet sind. Die Leitungen 31, 33, 35, 42, 44 und 46 sind mit einer nicht dargestellten ersten Anschlussleitung elektrisch verbunden, wodurch diese Leitungen auf ein erstes Potenzial gelegt werden. Die Leitungen 32, 34, 36, 41, 43 und 45 sind mit einer nicht dargestellten zweiten Anschlussleitung elektrisch verbunden,

- wodurch diese Leitungen auf ein zweites Potenzial gelegt werden. An jeder der Leitungen 31 bis 36 und 41 bis 46 ist jeweils ein homogener, stabförmig ausgebildeter, elektrisch leitender Bereich 31a bis 36a und 41a bis 46a angeordnet und
- 5 unmittelbar mit der jeweiligen Leitung verbunden. Die Stäbe 31a bis 36a sind senkrecht in Richtung der Leitungen 41 bis 46 ausgerichtet. Ebenso sind die Stäbe 41a bis 46a senkrecht in Richtung der Leitungen 31 bis 36 ausgerichtet.
- 10 Die Darstellung der Stäbe 31a bis 36a und 41a bis 46a ist beispielhaft und kann in vielerlei Hinsicht erweitert werden. Beispielsweise kann jede Leitung 31 bis 46 jeweils mehrere weitere Stäbe aufweisen die beispielsweise in einem festen Abstand zueinander auf jeder Leitung 31 bis 46 angeordnet
- 15 sind. Die Stäbe 31a bis 36a sind auf einer festen ersten Position in z-Richtung und die Stäbe 41a bis 46a sind auf einer festen zweiten Position in z-Richtung angeordnet, wodurch die Stäbe 31a bis 36a in z-Richtung versetzt zu den Stäben 41a bis 46a angeordnet sind. Die Längen der Stäbe 31a
- 20 bis 36a können eine einheitliche Länge aufweisen oder aber auch unterschiedlich sein. Ebenso können die Stäbe 41a bis 46a einheitliche Länge oder unterschiedlich lang ausgebildet sein. Wesentlich ist auch für dieses Ausführungsbeispiel, dass die Summe der Länge eines Stabes 31a bis 36a plus die
- 25 Länge eines Stabes 41a bis 46a größer ist als der Abstand d, den jeweils die Leitungen der Metallisierungsebenen 3 und 4 zueinander aufweisen. Abhängig von dem Potenzial auf das die Leitungen 31 bis 46 gelegt werden, weisen beispielsweise die Leitungen 31, 33, 35, 42, 44 und 46 mit den zugehörigen
- 30 Stäben 31a, 33a, 35a, 42a, 44a und 46a eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat welches unter der Metallisierungsebene 3 angeordnet ist auf. Die Potenziale können auch so gewählt werden, dass die Leitungen 32, 34, 36, 41, 43 und 45 mit den zugehörigen Stäben 32a bis
- 35 45 a eine minimale parasitäre Kapazität gegenüber dem Halbleitersubstrat aufweisen.

In Fig. 6 ist eine Querschnittsdarstellung des zweiten Ausführungsbeispiels der Kapazitätsstruktur gemäß Fig. 5 entlang der Schnittlinie EE gezeigt. Wie zu Fig. 5 bereits ausgeführt liegen benachbarte Leitungen der

5 Metallisierungsebenen 3 und 4 auf unterschiedlichem Potenzial. Dadurch liegen auch benachbarte, als Vias ausgebildete Stäbe 31a bis 36a und 41a bis 46a, auf unterschiedlichem Potenzial, wodurch vier Kapazitätsanteile als Beiträge zur gesamten Nutzkapazität der

10 Kapazitätsstruktur erzeugt werden. Erste Kapazitätsanteile C_1 werden durch die gegenüberliegenden Oberflächen der Seitenbereiche zwischen den Stäben 31a bis 36a erzeugt. Ebenso werden diese Anteile C_1 durch die gegenüberliegenden Oberflächen der Seitenbereiche zwischen den Stäben 41a bis

15 46a, wie in Fig. 7 dargestellt ist, welche eine Schnittsdarstellung der Kapazitätsstruktur gemäß Fig. 5 entlang der Schnittlinie DD zeigt, erzeugt. Zweite Kapazitätsanteile C_2 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 31a bis 36a und den

20 Flächenbereichen der Leitungen 41 bis 46 gebildet (Fig. 6). Gleichfalls werden diese Anteile C_2 auch durch die gegenüberliegenden Flächenbereiche der Stäbe 41a bis 46a und den Flächenbereichen der Leitungen 31 bis 36 gebildet (Fig. 7). Dritte Kapazitätsanteile C_3 werden jeweils durch die in

25 einer Metallisierungsebene 3 und 4 benachbarten Flächenbereiche der Leitungen 31 bis 36 und 41 bis 46 gebildet (Fig. 6 und 7).

Wie in Fig. 8 anhand einer Schnittsdarstellung der

30 Kapazitätsstruktur K gemäß Fig. 5 entlang der Schnittlinie GG dargestellt ist, werden vierte Kapazitätsanteile C_4 durch die gegenüberliegenden Flächenbereiche der Stäbe 31a bis 36a der ersten Metallisierungsebene 3 zu den Stäben 41a bis 46a der zweiten Metallisierungsebene 4, beispielsweise der Stäbe 36a

35 und 46a (Fig. 8) gebildet.

In Fig. 9 ist eine Schnittdarstellung entlang der Schnittlinie FF gemäß Fig. 5 aufgezeigt. Die symmetrische Anordnung der Stäbe 31a bis 46a ist zu erkennen. Wie in der Fig. 9 angedeutet, ist die Zahl der Stäbe in beide Richtungen erweiterbar und somit auch die Anzahl der Leitungen 31 bis 46 (Fig. 5 bis 8) nicht auf die im Ausführungsbeispiel dargestellte Anzahl beschränkt.

Ein weiteres Ausführungsbeispiel ist in Fig. 10 perspektivisch dargestellt. Die Kapazitätsstruktur K weist eine als zusammenhängende, vollständige Platte ausgebildete erste Metallisierungsebene 5 auf, die in einer nicht dargestellten Isolationsschicht oder einem Isolationsschichtensystem ausgebildet ist. Diese Isolationsschicht ist auf einem nicht dargestellten Halbleitersubstrat ausgebildet. Parallel zur ersten Metallisierungsebene 5 ist dazu beabstandet eine zweite Metallisierungsebene 6 in Form eines Gitters ausgebildet. Auf die erste Metallisierungsebene 5 sind stabförmig und homogen ausgebildete, elektrisch leitende Vias 5a bis 5f angeordnet, die zumindest teilweise in die Aussparungen der gitterförmigen zweiten Metallisierungsebene 6 hineinragen.

In Fig. 11 ist anhand eines Querschnitts entlang der Schnittlinie HH in Fig. 10 dargestellt welche Kapazitätsanteile C_1 und C_2 erzeugt werden und zur Nutzkapazität der Kapazitätsstruktur beitragen. Erste Kapazitätsteile C_1 werden durch die gegenüberliegenden Flächenbereiche der Vias 5a bis 5c mit der Gitterstruktur der Metallisierungsebene 6 gebildet. Zweite Kapazitätsanteile C_2 werden zwischen den gegenüberliegenden Flächenbereichen der gitterförmig ausgebildeten Metallisierungsebene 6 und der Metallisierungsebene 5 gebildet. Die gitterförmige Metallisierungsebene 6 weist eine minimale parasitäre Kapazität gegenüber dem unterhalb der ersten Metallisierungsebene 5 ausgebildeten Halbleitersubstrat aus. Bei dieser Ausführungsform ist es jedoch nicht wesentlich

welche der beiden Metallisierungsebenen 5 oder 6 einen minimalen parasitären Kapazitätsanteil liefert, sondern es ist wesentlich, dass die Summe der parasitären Kapazitätsanteile, die durch die Metallisierungsebenen 5 und 6 gegenüber dem Halbleitersubstrat erzeugt werden, minimal ist. Dadurch kann diese Ausführungsform auch derart ausgeführt werden, dass die gitterförmige Metallisierungsebene 6 die untere Elektrode der Kapazitätsstruktur darstellt und somit dem Halbleitersubstrat näher ist als die Metallisierungsebene 5.

In Fig. 12 ist eine Draufsicht auf die Kapazitätsstruktur K gemäß Fig. 10 dargestellt. Die Vias 5a bis 5j ragen jeweils in eine der Aussparungen der Metallisierungsebene 6 und weisen nahezu gleichen Abstand zu den Rändern dieser Aussparungen auf. Wie in Fig. 12 dargestellt, wird jeweils zwischen jedem der vier gegenüberliegenden Flächenbereiche ein Kapazitätsanteil C_1 gebildet. Es kann auch vorgesehen sein, dass die Aussparungen des Gitters 6 rund oder oval und die Vias 5a bis 5f mit rundem oder ovalem Querschnitt ausgebildet werden.

Ein Ausführungsbeispiel, welches eine Weiterführung des vorhergehenden Beispiels darstellt ist in Fig. 13 aufgezeigt. Zusätzlich zu den Metallisierungsebenen 5 und 6 weist diese Kapazitätsstruktur K eine dritte Metallisierungsebene 7 auf, die ebenfalls gitterförmig ausgebildet ist und parallel und deckungsgleich zur Metallisierungsebene 6 angeordnet ist. Die Metallisierungsebenen 6 und 7 werden durch elektrische Verbindungen 61 miteinander verbunden. Die stabförmigen elektrisch leitenden Bereiche 5a bis 5j ragen in diesem Ausführungsbeispiel durch die Aussparungen der gitterförmigen Metallisierungsebene 6 hindurch und erstrecken sich zumindest teilweise in die Aussparungen der gitterförmigen Metallisierungsebene 7.

In der Querschnittsdarstellung in Fig. 14, welche die Kapazitätsstruktur K gemäß Fig. 13 entlang der Schnittlinie II zeigt, ist zu erkennen, welche Kapazitätsanteile C_1 , C_2 und C_3 als Beiträge zur Nutzkapazität der Kapazitätsstruktur K geliefert werden. Erste Kapazitätsanteile C_1 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 5a bis 5c und den gitterförmigen Metallisierungsebenen 6 und 7 gebildet. Zweite Kapazitätsanteile C_2 werden zwischen den gegenüberliegenden Flächenbereichen der Stäbe 5a bis 5c und den elektrischen Verbindungen 61 erzeugt. Des Weiteren werden dritte Kapazitätsanteile C_3 zwischen den gegenüberliegenden Flächenbereichen der Metallisierungsebene 5 und der gitterförmigen Metallisierungsebene 6 erzeugt.

Die homogenen Via-Stäbe in den Ausführungsbeispielen sind aus den bei den bekannten Prozessen verwendeten Materialien, bspw. Wolfram oder Kupfer, ausgebildet.

In allen Ausführungsbeispielen kann eine Kapazitätsstruktur K hergestellt werden, die mit relativ wenig Aufwand erzeugt werden kann und welche bei nahezu unverändertem Flächenbedarf der Kapazitätsstruktur auf der Chipfläche eine relativ große Kapazitätsoberfläche erzeugt, mit welcher das Verhältnis von Nutzkapazität zu parasitärer Kapazität verbessert wird. Insbesondere durch die homogenen - also frei von Zwischenmetallisierungsbereichen, welche beispielsweise durch Strukturierung der Metallisierungsebenen gebildet werden - Via-Stäbe, kann die Kapazitätsdichte der Kapazitätsstruktur erhöht werden.

Die Erfindung ist nicht auf die in den Ausführungsbeispielen dargestellten Kapazitätsstrukturen K beschränkt. Die Kapazitätsstruktur K kann in vielfältiger Weise ausgebildet sein. So kann beispielsweise eine Kapazitätsstruktur K eine erste Metallisierungsebene entsprechend der Metallisierungsebene 6 (Fig. 10 und 13) und eine zweite Metallisierungsebene entsprechend der Metallisierungsebene 3

(Fig. 5) aufweisen, auf denen entsprechend ausgebildete elektrisch leitenden Bereichen angeordnet sind. Es kann auch vorgesehen sein, dass eine Kapazitätsstruktur zwei gitterförmige Metallisierungsebenen entsprechend der

5 Metallisierungsebene 6 (Fig. 10 und 13) aufweist, die derart versetzt zueinander angeordnet sind, dass die Kreuzungspunkte der Gitterstruktur der einen Metallisierungsebene vertikal unter den Aussparungen der zweiten gitterförmigen Metallisierungsebene liegen. Beide gitterförmigen

10 Metallisierungsebenen weisen beispielsweise stabförmig ausgebildete, elektrisch leitende Bereiche auf, welche jeweils an den Kreuzungspunkten der Gitterstrukturen der Metallisierungsebenen angeordnet sind und sich in die Aussparungen der gegenüberliegenden gitterförmigen

15 Metallisierungsebene hinein erstrecken.

Patentansprüche

1. Halbleiterbauelement
- mit einem Halbleitersubstrat und einer auf dem
 - 5 Halbleitersubstrat ausgebildeten Isolationsschicht und
 - mit einer Kapazitätsstruktur, welche in der
 - Isolationsschicht ausgebildet ist, wobei die
 - Kapazitätsstruktur mindestens zwei Metallisierungsebenen
 - (1 bis 7) zur Erzeugung eines ersten Teils einer
 - 10 Kapazitätsoberfläche aufweist, welche sich im wesentlichen
 - parallel zur Substratoberfläche erstrecken und jeweils mit
 - einer von zwei Anschlussleitungen elektrisch verbunden
 - sind,
 - d a d u r c h g e k e n n z e i c h n e t, dass
 - 15 - die Kapazitätsstruktur mindestens einen elektrisch
 - leitenden Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a
 - bis 46a; 5a bis 5f) aufweist, welcher zur Erzeugung eines
 - zweiten Teils der Kapazitätsoberfläche zwischen den
 - Metallisierungsebenen (1 bis 7) in der Isolationsschicht
 - 20 ausgebildet ist, und
 - der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
 - bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der
 - Metallisierungsebenen (1 bis 7) elektrisch verbunden ist.
- 25 2. Halbleiterbauelement nach Anspruch 1,
- d a d u r c h g e k e n n z e i c h n e t, dass
- der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
- bis 36a; 41a bis 46a; 5a bis 5f) als homogene,
- zusammenhängende Erhebung, insbesondere als Via-Struktur,
- 30 ausgebildet ist.
3. Halbleiterbauelement nach Anspruch 1 oder 2,
- d a d u r c h g e k e n n z e i c h n e t, dass
- die elektrisch leitenden Bereiche (1a bis 1j; 2a bis 2j; 31a
- 35 bis 36a; 41a bis 46a; 5a bis 5f) keine derartigen
- metallischen Gebiete aufweist, welche durch eine

Strukturierung einer der Metallisierungsebenen (1 bis 7) ausgebildet werden.

4. Halbleiterbauelement nach einem der vorhergehenden
5 Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu
den Metallisierungsebenen (1 bis 7) angeordnet ist.
- 10 5. Halbleiterbauelement nach einem der vorhergehenden
Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, dass
jede der beiden Metallisierungsebenen (1, 2) als
15 zusammenhängende Platte ausgebildet ist und mit zumindest
jeweils einem elektrisch leitenden Bereich (1a bis 1j; 2a bis
2j) verbunden ist.
6. Halbleiterbauelement nach Anspruch 5,
20 d a d u r c h g e k e n n z e i c h n e t, dass
die erste Metallisierungsebene (1) mit mehreren stabförmig
ausgebildeten ersten elektrisch leitenden Bereichen (1a bis
1j) und die zweite Metallisierungsebene (2) mit mehreren
stabförmig ausgebildeten zweiten elektrisch leitenden
25 Bereichen (2a bis 2j) verbunden ist.
7. Halbleiterbauelement nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t, dass
die ersten stabförmigen, elektrisch leitenden Bereiche (1a
30 bis 1j) mit einem festen Abstand (a) zueinander an der ersten
Metallisierungsebene (1) angeordnet sind und sich in Richtung
zur zweiten Metallisierungsebene (2) erstrecken und die
zweiten stabförmigen, elektrisch leitenden Bereiche (2a bis
2j) mit einem festen Abstand (a) derart zueinander an der
35 zweiten Metallisierungsebene (2) angeordnet sind, dass sie
sich jeweils zwischen den ersten stabförmigen Bereichen (1a

bis 1j) in Richtung zur ersten Metallisierungsebene (1) hin erstrecken.

8. Halbleiterbauelement nach Anspruch 7,

- 5 d a d u r c h g e k e n n z e i c h n e t, dass
die ersten stabförmigen Bereiche (1a bis 1j) eine erste Länge L_1 aufweisen, die zweiten stabförmigen Bereiche (2a bis 2j) eine zweite Länge L_2 , aufweisen, wobei die Länge L_2 größer, kleiner oder gleich der Länge L_1 ist, und die Summe der
10 Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen Bereichs (1a bis 1j; 2a bis 2j) größer als ein Abstand (b) zwischen den beiden Metallisierungsebenen (1, 2) ist.

9. Halbleiterbauelement nach einem der Ansprüche 1 bis 4,

- 15 d a d u r c h g e k e n n z e i c h n e t, dass
beide Metallisierungsebenen (3, 4) jeweils aus zumindest zwei parallel zueinander angeordneten elektrischen Leitungen (31 bis 36; 41 bis 46) aufgebaut sind und die elektrischen Leitungen (31 bis 36) der ersten Metallisierungsebene (3)
20 deckungsgleich zu den elektrischen Leitungen (41 bis 46) der zweiten Metallisierungsebene (4) angeordnet sind.

10. Halbleiterbauelement nach Anspruch 9,

- 25 d a d u r c h g e k e n n z e i c h n e t, dass
auf jeder der ersten und zweiten elektrischen Leitungen (31 bis 36; 41 bis 46) jeweils zumindest ein elektrisch leitender Bereich (31a bis 36a; 41a bis 46a) angeordnet ist.

11. Halbleiterbauelement nach Anspruch 10,

- 30 d a d u r c h g e k e n n z e i c h n e t, dass
mehrere stabförmig ausgebildete erste elektrisch leitende Bereiche (31a bis 36a) im festen Abstand (c) voneinander an jeder der ersten elektrischen Leitungen (31 bis 36) angeordnet sind und sich in Richtung der zweiten elektrischen
35 Leitungen (41 bis 46) erstrecken und mehrere stabförmig ausgebildete zweite elektrisch leitende Bereiche (41a bis 46a) ebenfalls im festen Abstand (c) aber versetzt zu den

ersten elektrisch leitenden Bereichen (31a bis 36a) an jeder der zweiten elektrischen Leitungen (41 bis 46) angeordnet sind und sich zwischen den ersten stabförmigen elektrisch leitenden Bereichen (31a bis 36a) in Richtung der ersten elektrischen Leitungen (31 bis 36) erstrecken.

12. Halbleiterbauelement nach Anspruch 11, dadurch gekennzeichnet, dass die stabförmigen ersten Bereiche (31a bis 36a) eine erste Länge L_1 aufweisen, die stabförmigen zweiten Bereiche (41a bis 46a) eine zweite Länge L_2 , aufweisen, wobei die Länge L_2 größer, kleiner oder gleich der Länge L_1 ist, und die Summe der Längen L_1 und L_2 eines ersten und eines zweiten stabförmigen Bereichs (31a bis 36a; 41a bis 46a) größer als der Abstand (d) zwischen den elektrischen Leitungen (31 bis 36; 41 bis 46) ist.

13. Halbleiterbauelement nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass eine der beiden Metallisierungsebenen (5) als zusammenhängende Platte und die zweite Metallisierungsebene (6) in Form eines Gitters ausgebildet ist.

14. Halbleiterbauelement nach Anspruch 13, dadurch gekennzeichnet, dass auf der als zusammenhängende Platte ausgebildeten Metallisierungsebene (5) zumindest ein stabförmig ausgebildeter, elektrisch leitender Bereich (5a bis 5f) angeordnet ist, der sich in Richtung zur zweiten gitterförmigen Metallisierungsebene (6) erstreckt und zumindest teilweise in eine Aussparung der gitterförmigen Metallisierungsebene (6) hineinragt.

15. Halbleiterbauelement nach einem der Ansprüche 13 oder 14, dadurch gekennzeichnet, dass eine gitterförmige dritte Metallisierungsebene (7) parallel und beabstandet zur zweiten Metallisierungsebene (6) auf

dieser angeordnet ist und die zweite und dritte Metallisierungsebene (6, 7) mittels elektrischer Verbindungen (61) miteinander elektrisch verbunden sind.

- 5 16. Halbleiterbauelement nach Anspruch 15,
d a d u r c h g e k e n n z e i c h n e t, dass
die stabförmigen, elektrisch leitenden Bereiche (5a bis 5f)
derart ausgebildet sind, dass sie durch die Aussparungen der
zweiten Metallisierungsebene (6) hindurchragen und sich
10 zumindest teilweise in die Aussparungen der dritten
Metallisierungsebene (7) hinein erstrecken.

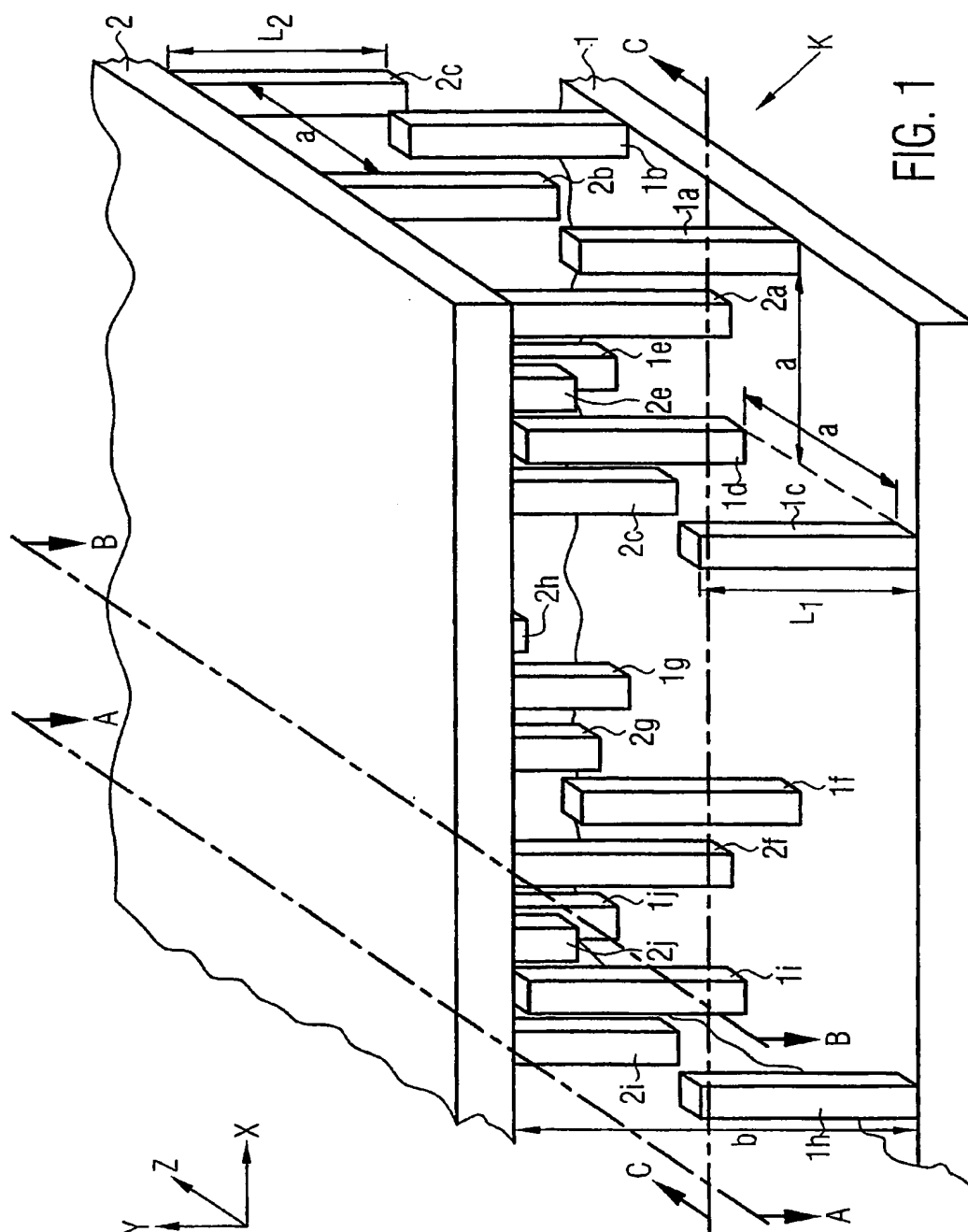
17. Verfahren zum Herstellen eines Halbleiterbauelements, bei
dem auf einem Halbleitersubstrat eine Isolationsschicht
15 abgeschieden wird und in der Isolationsschicht eine
Kapazitätsstruktur (K) erzeugt wird, wobei die
Kapazitätsstruktur (K) zumindest zwei Metallisierungsebenen
(1 bis 7) aufweist, die im wesentlichen parallel zur
Substratoberfläche ausgebildet werden,
20 d a d u r c h g e k e n n z e i c h n e t, dass
ein elektrisch leitender Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht
zwischen den Metallisierungsebenen (1 bis 7) ausgebildet wird
und der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j;
25 31a bis 36a; 41a bis 46a; 5a bis 5f) nur mit einer der
Metallisierungsebenen (1 bis 7) elektrisch verbunden wird.

18. Verfahren nach Anspruch 17,
d a d u r c h g e k e n n z e i c h n e t, dass
30 der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) als homogene
zusammenhängende Erhebung ausgebildet wird, wobei der
elektrische Bereich (1a bis 1j; 2a bis 2j; 31a bis 36a; 41a
bis 46a; 5a bis 5f) ohne ein derartiges metallisches Gebiet
35 ausgebildet wird, welches durch eine Strukturierung einer
Metallisierungsebene (1 bis 7) erzeugbar ist

26

19. Verfahren nach einem der Ansprüche 17 oder 18,
d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitende Bereich (1a bis 1j; 2a bis 2j; 31a
bis 36a; 41a bis 46a; 5a bis 5f) in der Isolationsschicht als
5 Via-Struktur ausgebildet wird.

20. Verfahren nach einem der Ansprüche 17 bis 19,
d a d u r c h g e k e n n z e i c h n e t, dass
der elektrisch leitenden Bereich (1a bis 1j; 2a bis 2j; 31a
10 bis 36a; 41a bis 46a; 5a bis 5f) im wesentlichen senkrecht zu
den Metallisierungsebenen (1 bis 7) ausgebildet wird.



2/6

FIG. 2

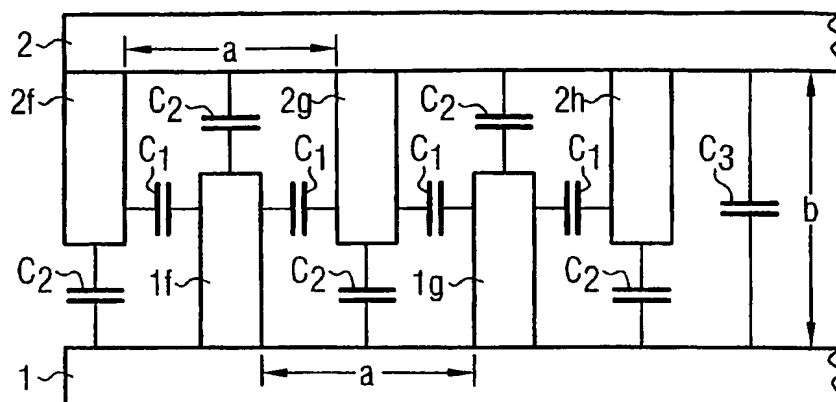


FIG. 3

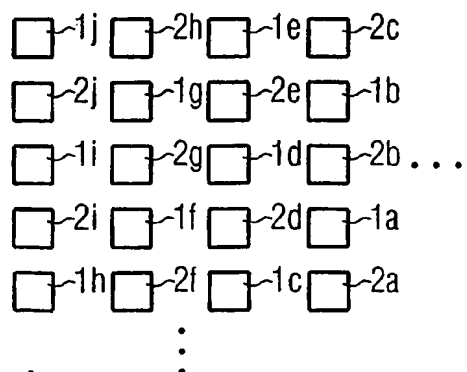
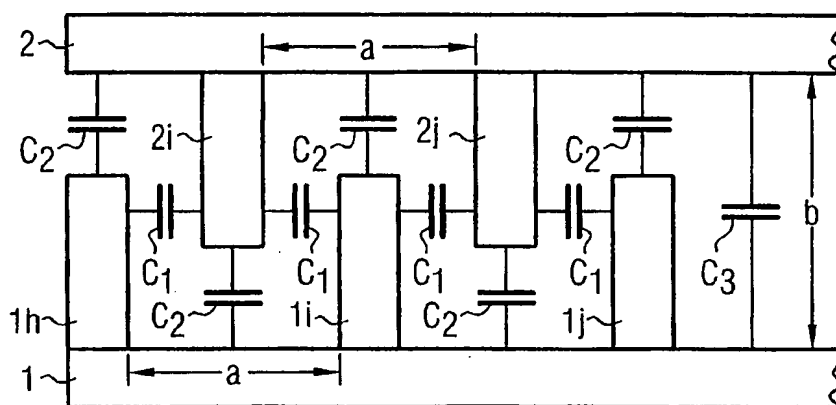


FIG. 4

3/6

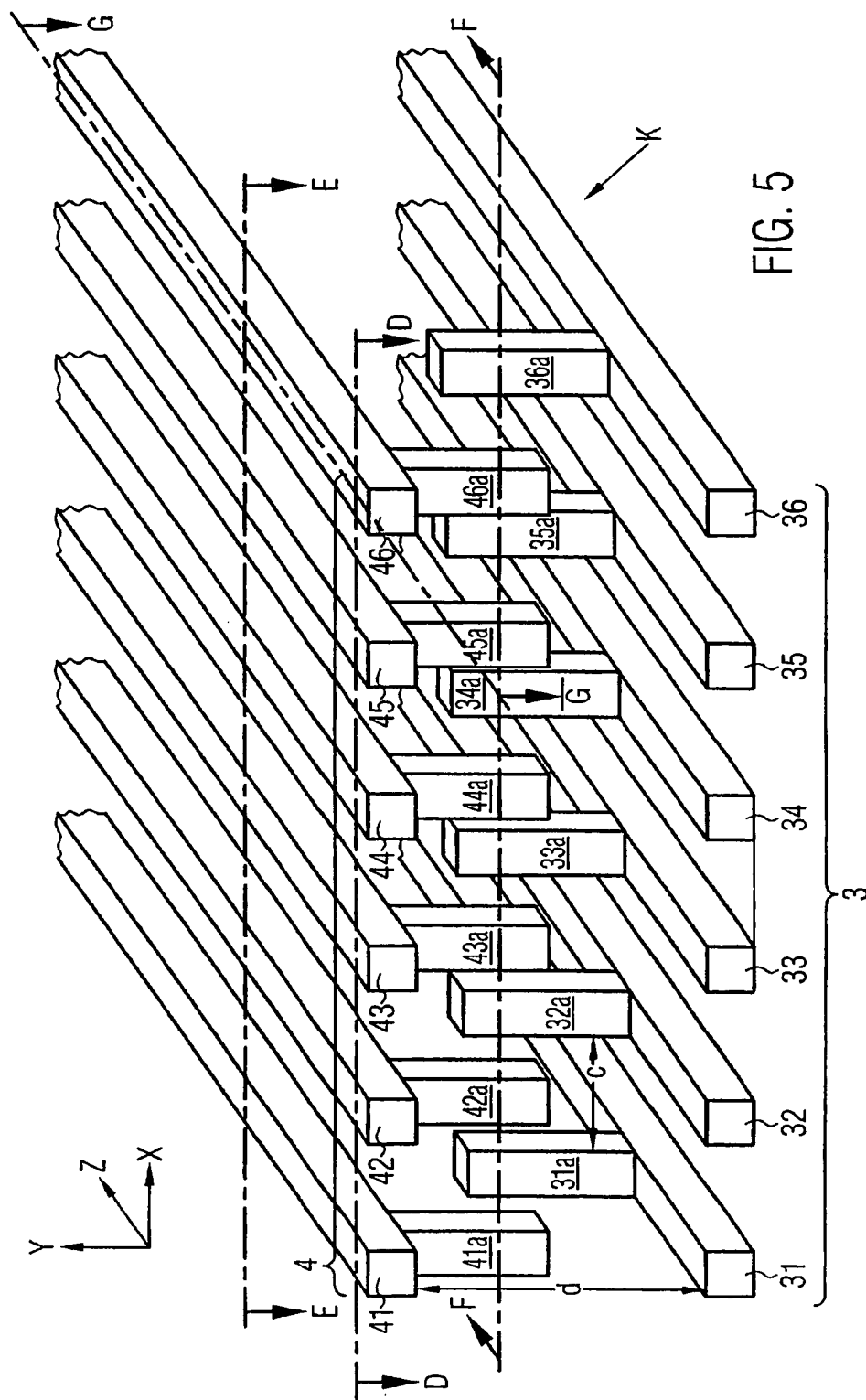


FIG. 5

4/6

FIG. 6

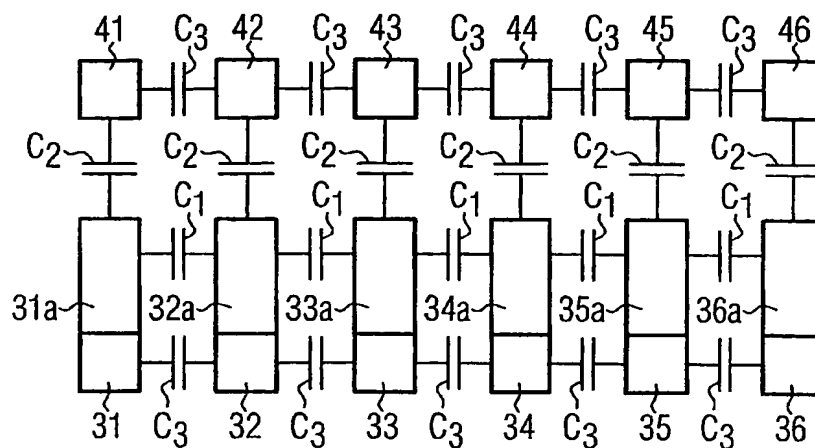


FIG. 7

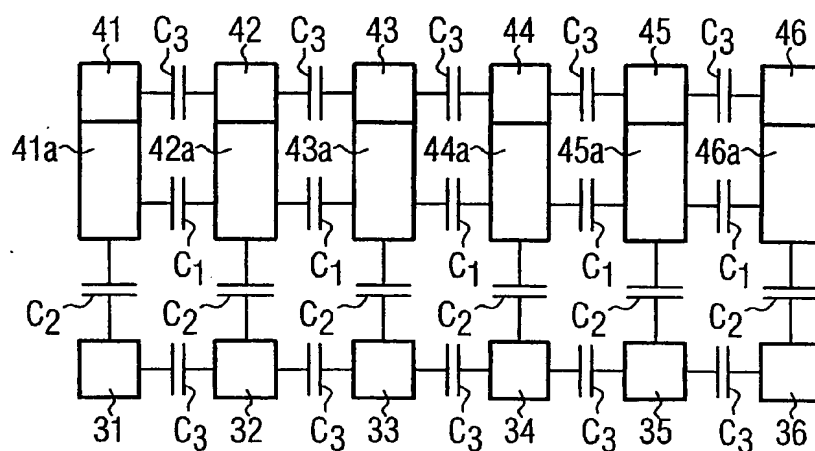


FIG. 8

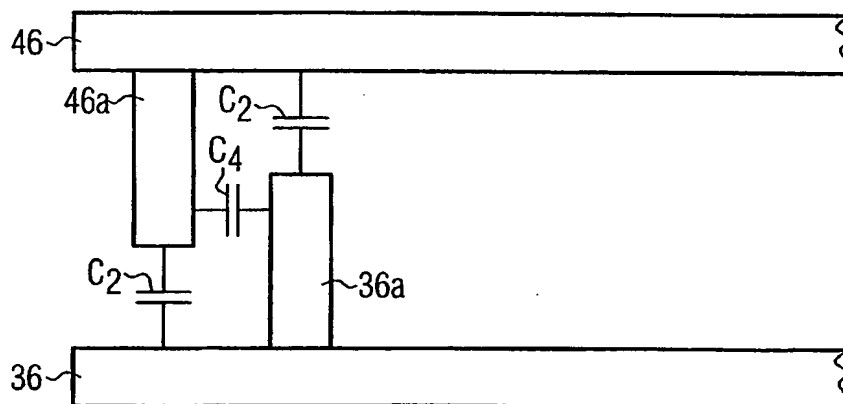
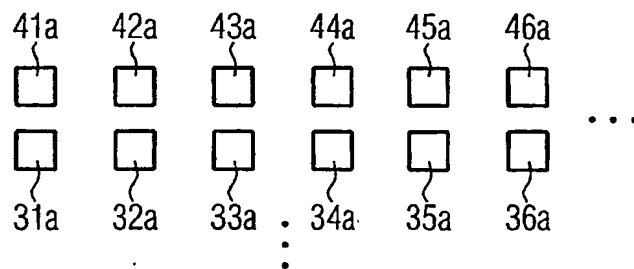


FIG. 9



5/6

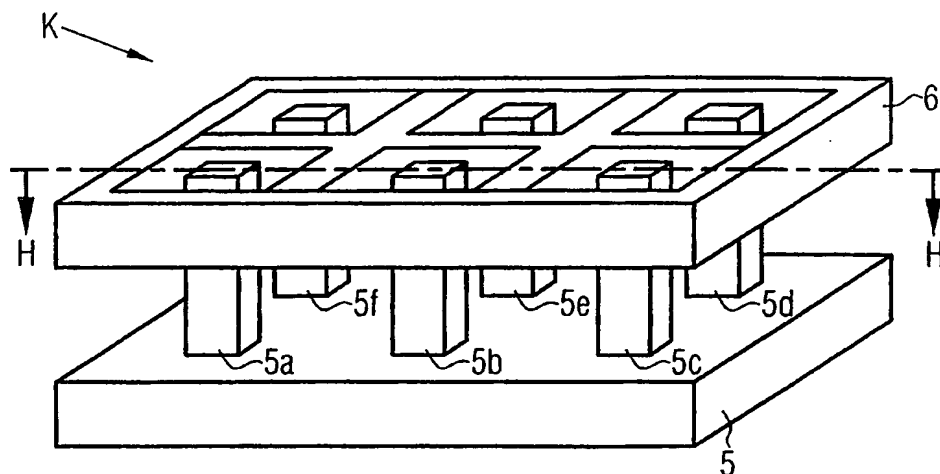


FIG. 10

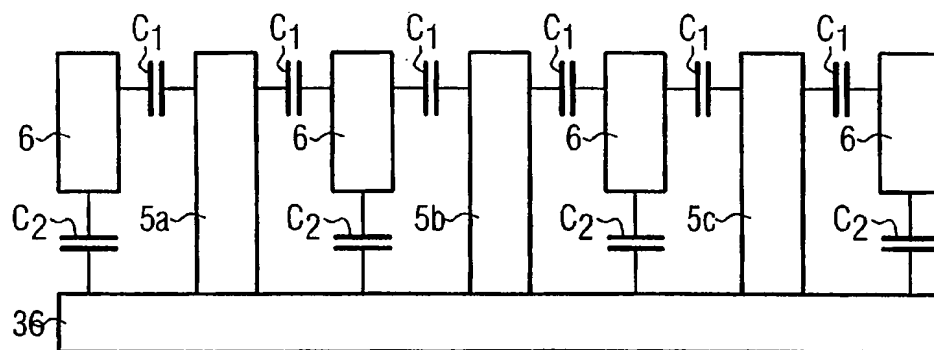
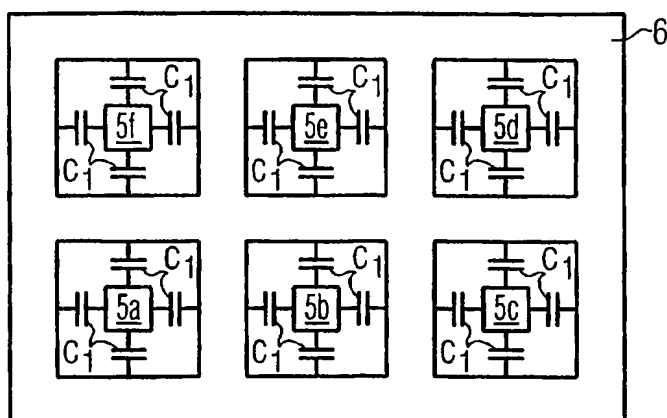


FIG. 11

FIG. 12



6/6

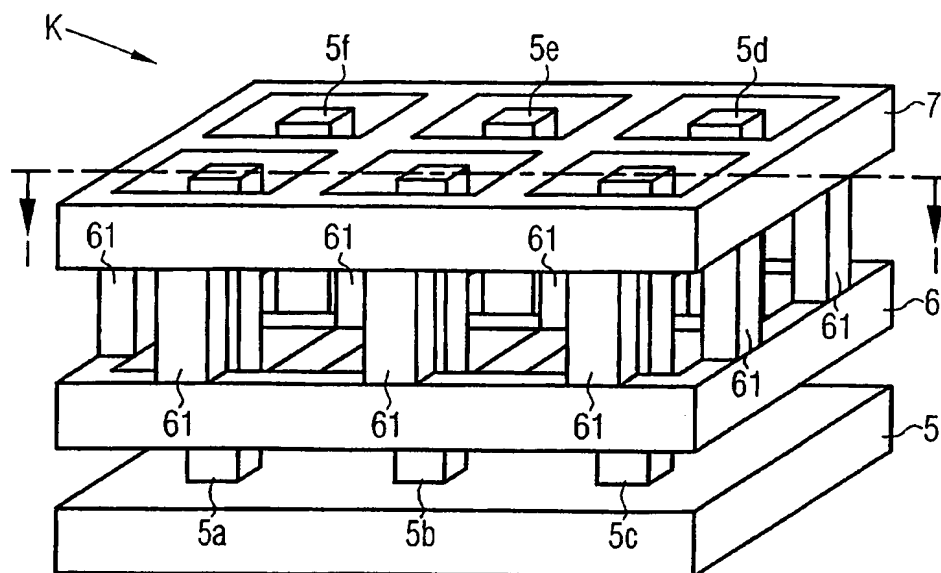


FIG. 13

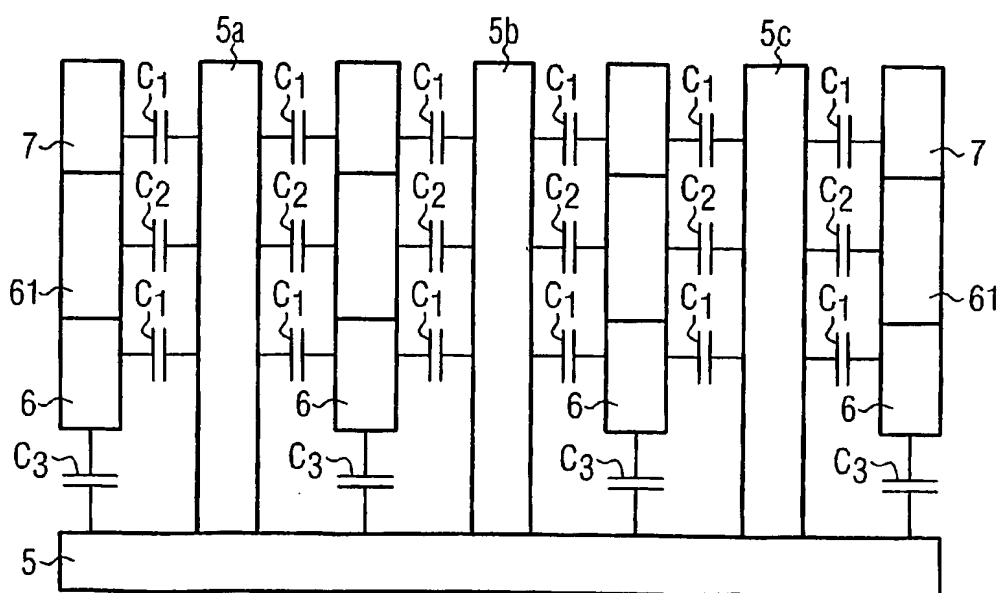


FIG. 14

INTERNATIONAL SEARCH REPORT

Internat Application No
PCT/DE 03/00964

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L23/522

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 99163 A (KONINKL PHILIPS ELECTRONICS NV) 27 December 2001 (2001-12-27) figure 2 ---	1-20
X	US 6 037 621 A (WILSON WILLIAM BURDETT) 14 March 2000 (2000-03-14) the whole document ---	1-20
X	DE 100 46 910 A (MITSUBISHI ELECTRIC CORP) 10 May 2001 (2001-05-10) the whole document ---	1-20
X	US 5 583 359 A (NG ANTHONY C C ET AL) 10 December 1996 (1996-12-10) cited in the application the whole document --- -/--	1-20



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

5 September 2003

Date of mailing of the international search report

18/09/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Kästner, M

INTERNATIONAL SEARCH REPORT

Internat Application No
PCT/DE 03/00964

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01 91144 A (CONEXANT SYSTEMS INC) 29 November 2001 (2001-11-29) the whole document ---	
A	DE 198 50 915 C (BOSCH GMBH ROBERT) 23 March 2000 (2000-03-23) cited in the application the whole document ---	
A	US 5 208 725 A (AKCASU OSMAN E) 4 May 1993 (1993-05-04) cited in the application the whole document ---	
A	APARICIO R ET AL: "Capacity limits and matching properties of integrated capacitors" PROCEEDINGS OF THE IEEE 2001 CUSTOM INTEGRATED CIRCUITS CONFERENCE, SAN DIEGO, CA, USA, 6-9 MAY 2001, vol. 37, no. 3, pages 384-393, XP002252607 IEEE Journal of Solid-State Circuits, March 2002, IEEE, USA ISSN: 0018-9200 cited in the application the whole document ---	
A	US 6 297 524 B1 (SOWLATI TIRDAD ET AL) 2 October 2001 (2001-10-02) the whole document -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/00964

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0199163	A	27-12-2001	US 6570210 B1 WO 0199163 A2 EP 1228527 A2	27-05-2003 27-12-2001 07-08-2002
US 6037621	A	14-03-2000	NONE	
DE 10046910	A	10-05-2001	JP 2001127247 A DE 10046910 A1 TW 461075 B US 6465832 B1	11-05-2001 10-05-2001 21-10-2001 15-10-2002
US 5583359	A	10-12-1996	CA 2214123 A1 WO 9627907 A1 DE 69621011 D1 DE 69621011 T2 EP 0813752 A1 JP 11501159 T	12-09-1996 12-09-1996 06-06-2002 27-02-2003 29-12-1997 26-01-1999
WO 0191144	A	29-11-2001	US 6411492 B1 AU 6347801 A WO 0191144 A1	25-06-2002 03-12-2001 29-11-2001
DE 19850915	C	23-03-2000	DE 19850915 C1 WO 0028591 A1 EP 1138080 A1 US 6469886 B1	23-03-2000 18-05-2000 04-10-2001 22-10-2002
US 5208725	A	04-05-1993	NONE	
US 6297524	B1	02-10-2001	CN 1411610 T WO 0175983 A2	16-04-2003 11-10-2001

INTERNATIONALER RECHERCHENBERICHT

Internal ss Aktenzeichen

PCT/DE 03/00964

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L23/522		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, INSPEC		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 01 99163 A (KONINKL PHILIPS ELECTRONICS NV) 27. Dezember 2001 (2001-12-27) Abbildung 2	1-20
X	US 6 037 621 A (WILSON WILLIAM BURDETT) 14. März 2000 (2000-03-14) das ganze Dokument	1-20
X	DE 100 46 910 A (MITSUBISHI ELECTRIC CORP) 10. Mai 2001 (2001-05-10) das ganze Dokument	1-20
X	US 5 583 359 A (NG ANTHONY C C ET AL) 10. Dezember 1996 (1996-12-10) in der Anmeldung erwähnt das ganze Dokument	1-20
	-/--	
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen in Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 5. September 2003		Absendedatum des internationalen Recherchenberichts 18/09/2003
Name und Postanschrift der internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Kästner, M

INTERNATIONALER RECHERCHENBERICHT

Internat: Aktenzeichen
PCT/DE 03/00964

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	WO 01 91144 A (CONEXANT SYSTEMS INC) 29. November 2001 (2001-11-29) das ganze Dokument ---	
A	DE 198 50 915 C (BOSCH GMBH ROBERT) 23. März 2000 (2000-03-23) in der Anmeldung erwähnt das ganze Dokument ---	
A	US 5 208 725 A (AKCASU OSMAN E) 4. Mai 1993 (1993-05-04) in der Anmeldung erwähnt das ganze Dokument ---	
A	APARICIO R ET AL: "Capacity limits and matching properties of integrated capacitors" PROCEEDINGS OF THE IEEE 2001 CUSTOM INTEGRATED CIRCUITS CONFERENCE, SAN DIEGO, CA, USA, 6-9 MAY 2001, Bd. 37, Nr. 3, Seiten 384-393, XP002252607 IEEE Journal of Solid-State Circuits, March 2002, IEEE, USA ISSN: 0018-9200 in der Anmeldung erwähnt das ganze Dokument ---	
A	US 6 297 524 B1 (SOWLATI TIRDAZ ET AL) 2. Oktober 2001 (2001-10-02) das ganze Dokument -----	

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die in dieselbe Patentfamilie gehören

Internat. Aktenzeichen

PCT/DE 03/00964

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 0199163 A	27-12-2001	US 6570210 B1 WO 0199163 A2 EP 1228527 A2	27-05-2003 27-12-2001 07-08-2002
US 6037621 A	14-03-2000	KEINE	
DE 10046910 A	10-05-2001	JP 2001127247 A DE 10046910 A1 TW 461075 B US 6465832 B1	11-05-2001 10-05-2001 21-10-2001 15-10-2002
US 5583359 A	10-12-1996	CA 2214123 A1 WO 9627907 A1 DE 69621011 D1 DE 69621011 T2 EP 0813752 A1 JP 11501159 T	12-09-1996 12-09-1996 06-06-2002 27-02-2003 29-12-1997 26-01-1999
WO 0191144 A	29-11-2001	US 6411492 B1 AU 6347801 A WO 0191144 A1	25-06-2002 03-12-2001 29-11-2001
DE 19850915 C	23-03-2000	DE 19850915 C1 WO 0028591 A1 EP 1138080 A1 US 6469886 B1	23-03-2000 18-05-2000 04-10-2001 22-10-2002
US 5208725 A	04-05-1993	KEINE	
US 6297524 B1	02-10-2001	CN 1411610 T WO 0175983 A2	16-04-2003 11-10-2001

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.